**Министерство науки и высшего образования Российской Федерации Федеральное государственное бюджетное образовательное учреждение высшего образования**

**«Московский государственный технический университет имени Н.Э. Баумана**

**(национальный исследовательский университет)» (МГТУ им. Н.Э. Баумана)**

ФАКУЛЬТЕТ Информатика и системы управления

КАФЕДРА Системы обработки информации и управления

Лабораторная работа №7

По курсу «Схемотехника дискретных устройств»

Подготовил:

Студент группы

ИУ5-41Б

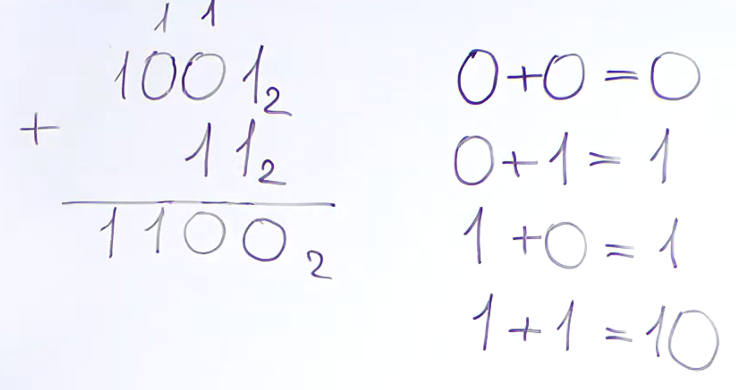
Цыпышев Т.А.

Проверил:

Селиверстова А.В.

*2024 г.*

Вспомним, как работает двоичная алгебра:



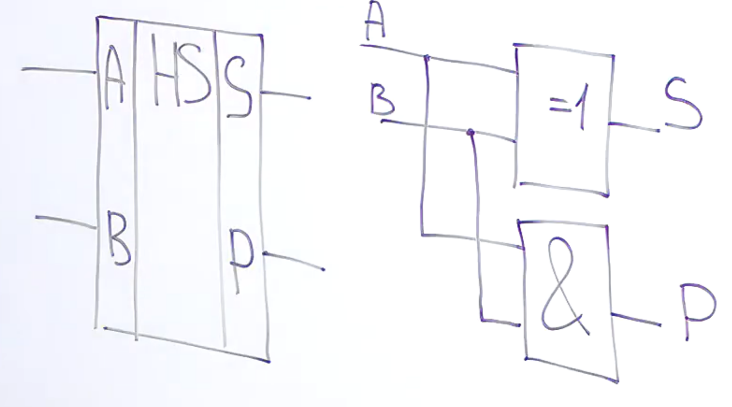
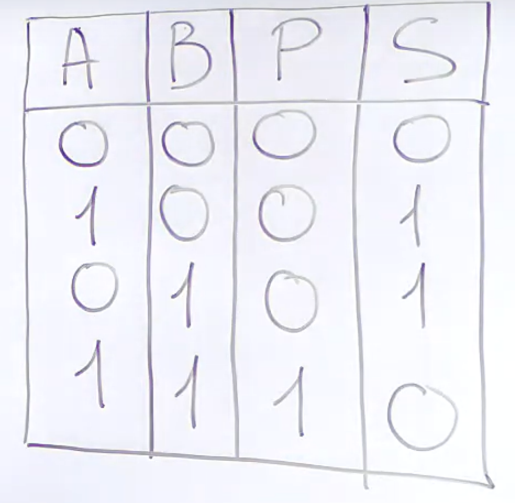
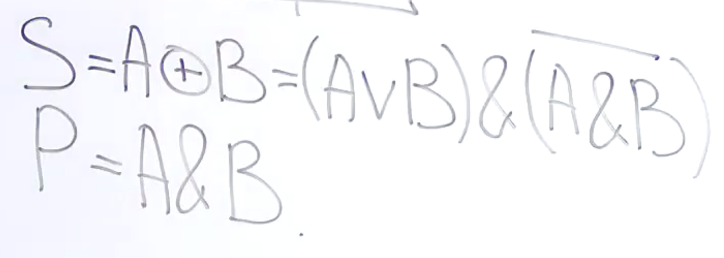
**Полусумматор**  


Таблица истинности:  


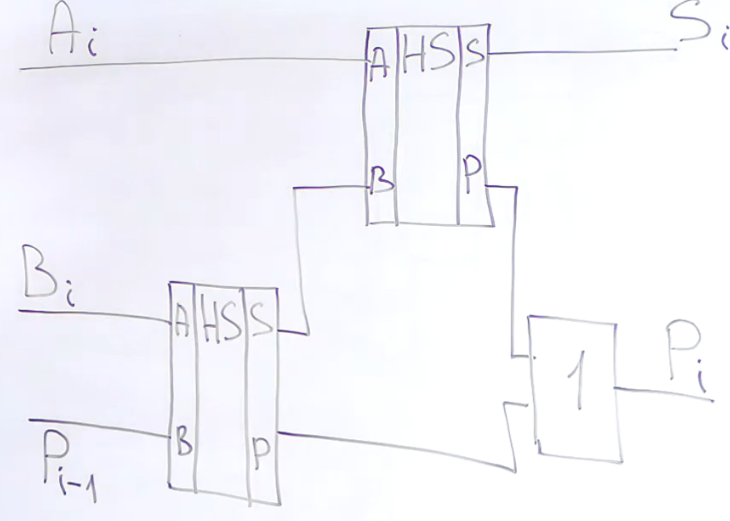
Логические выражения для определения функции:



**Сумматор**

Сумматор — это электронное устройство, выполняющее арифметическое сложение кодов двух чисел.

**Одноразрядный сумматор**



Обозначение:

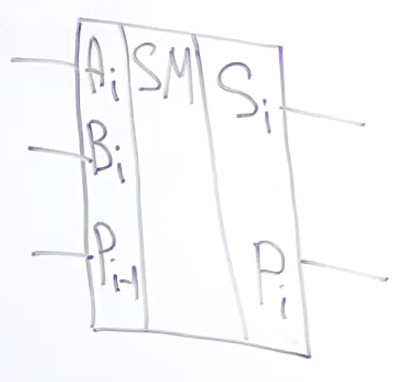


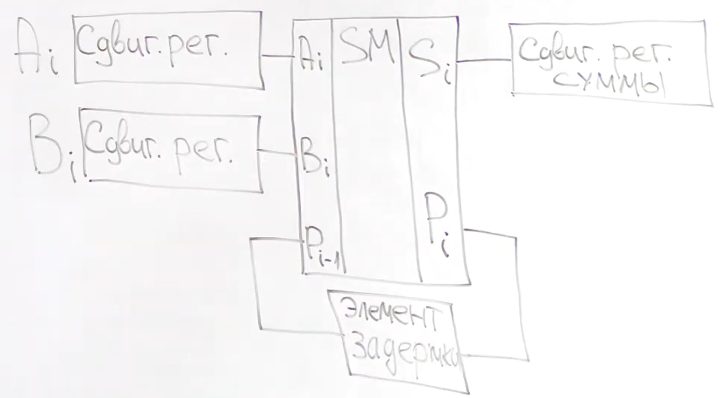
Таблица истинности:



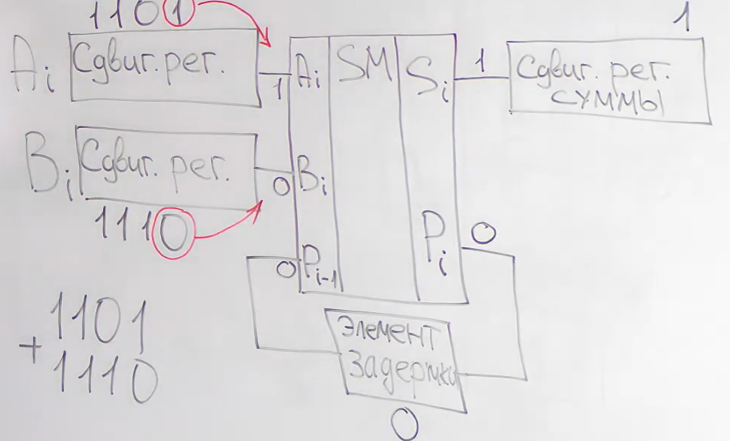
**Многоразрядный сумматор**

По способу организации межразрядных переносов параллельные сумматоры, реализующие структурные методы, делят на сумматоры:

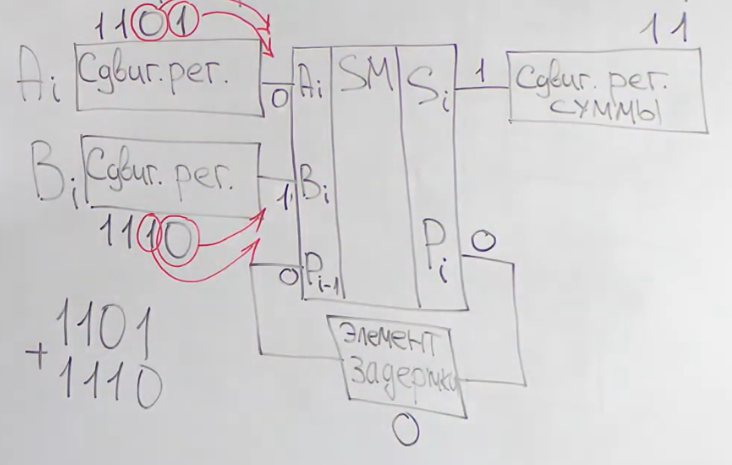
* с последовательным переносом;
* с параллельным переносом;
* с групповым переносом;
* с условным переносом.

**С последовательным переносом**:

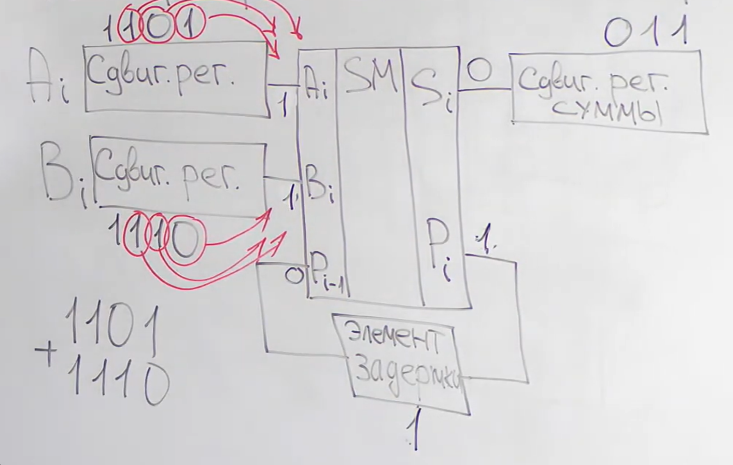
**Пример:**

1 такт

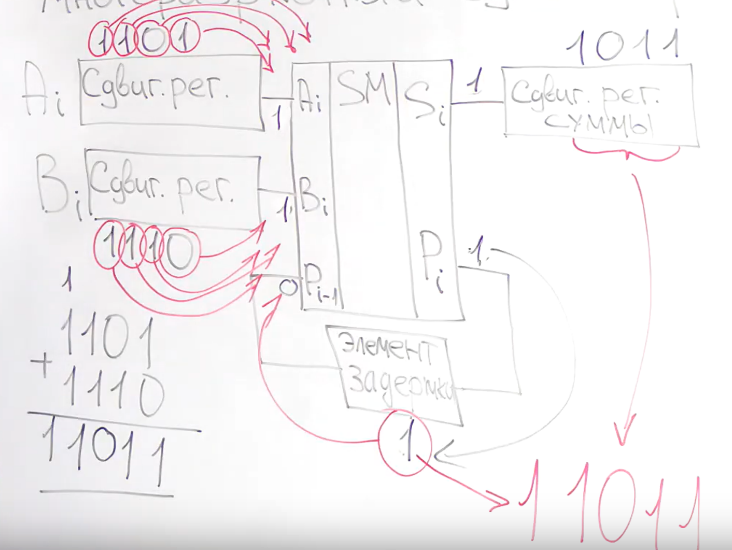
2 такт



3 такт

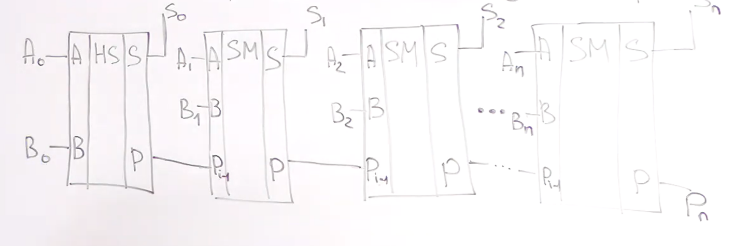


4 такт

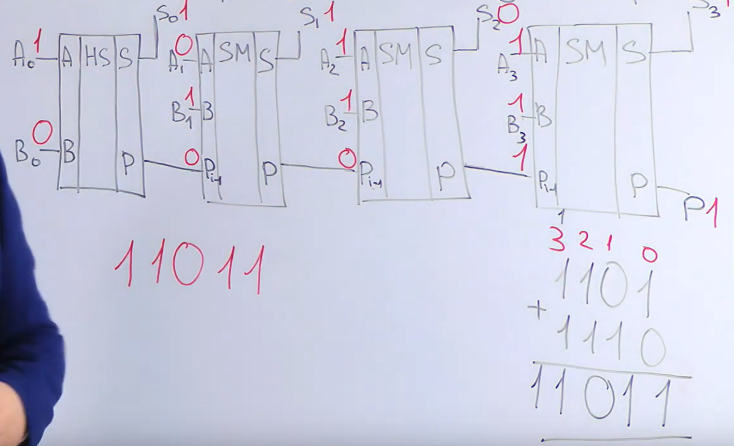


Достоинством последовательно сумматора является простота схемы. Такой сумматор требует минимальное количество оборудования.

А недостатком является низкое быстродействие так как сложение производится последовательно по разрядам.

**С параллельным переносом** 

**Пример:**

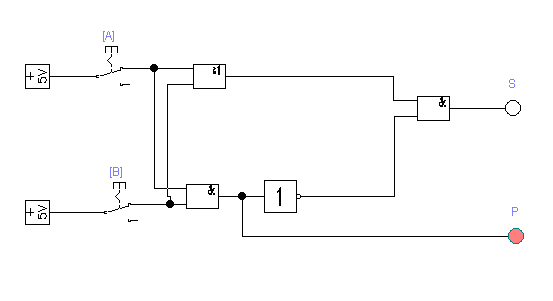


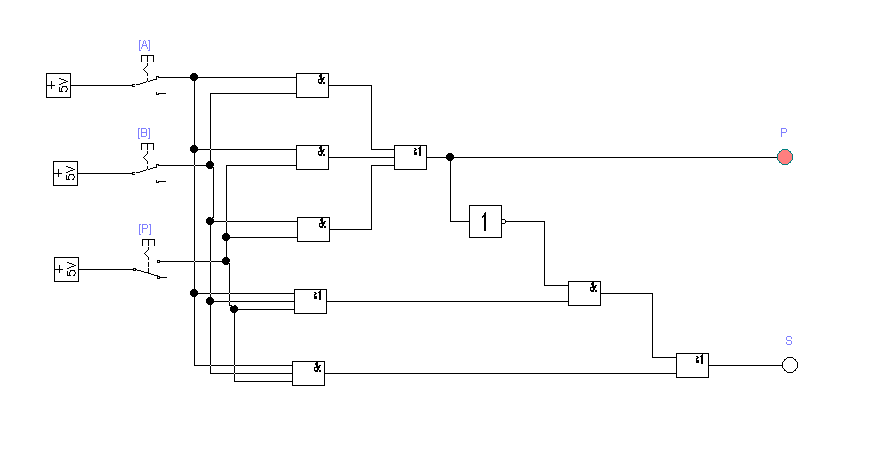
Достоинством параллельного сумматора является быстродействие.

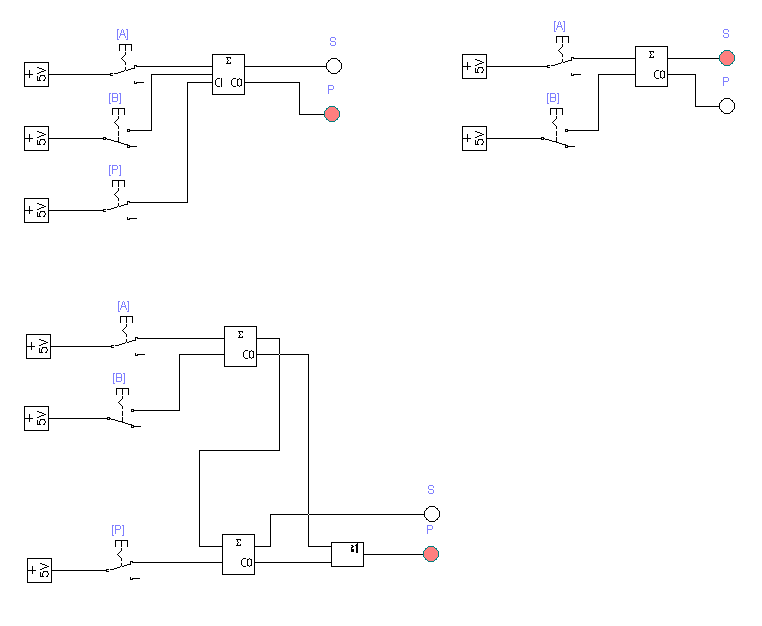
А в качестве недостатков можно выделить большое количество элементов схеме и её сложность (например, для того чтобы сложить девятиразрядные числа необходимо соединить параллельно 9 сумматоров).

**Задание**

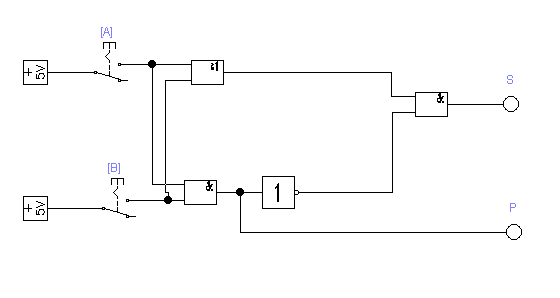
1. Собрать и исследовать работу одноразрядного полусумматора по таблице истинности (табл. 1). Собрать одноразрядный полусумматор на элементах «ИЛИ-исключающее» и «И».

****

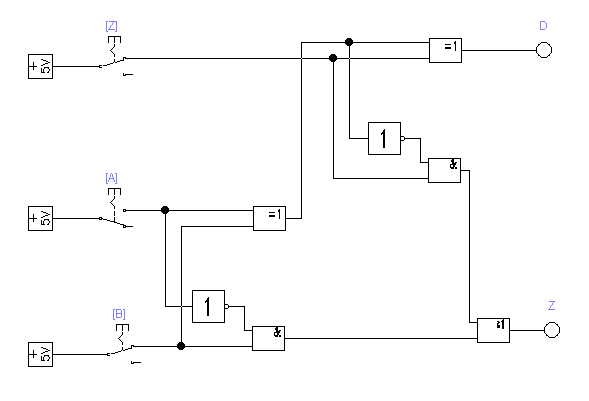
1. Собрать и исследовать работу полного одноразрядного сумматора таблице истинности. Собрать схему полного сумматора из двух полусумматоров. ****
2. Собрать четырёхразрядный параллельный сумматор (из библиотечных сумматоров, рис. 4.1, рис. 4.2) и исследовать его работу.

****

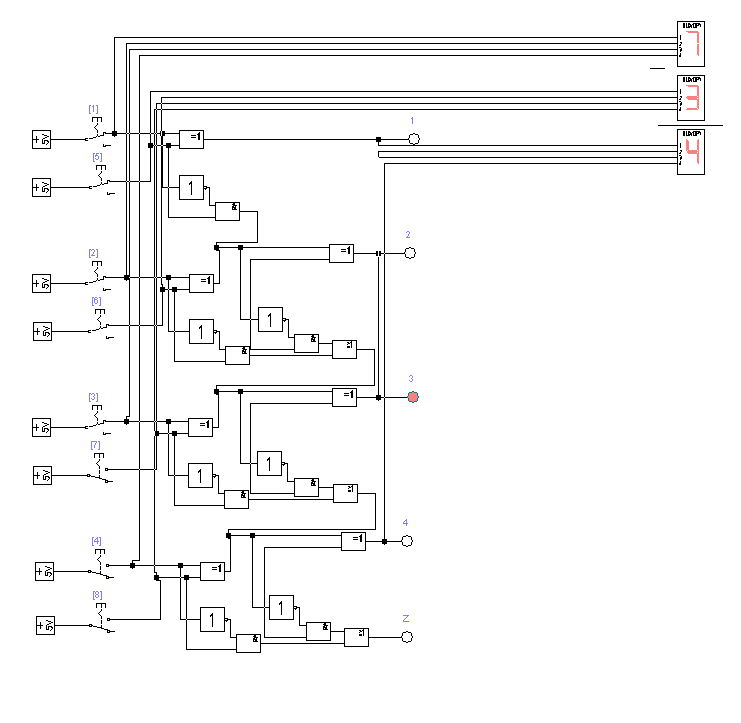
1. Собрать и исследовать схему одноразрядного полувычитателя по таблице истинности табл. 3.

****

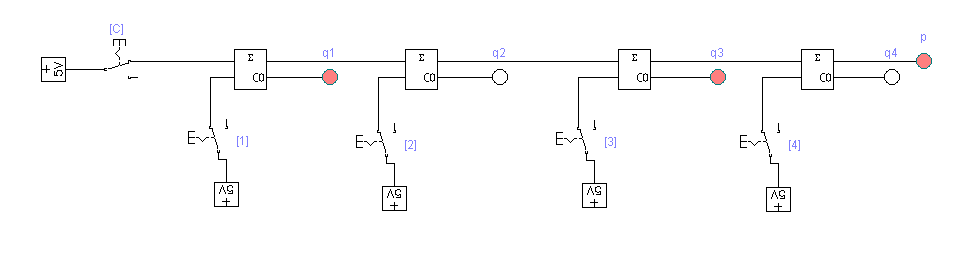
1. Собрать и исследовать полный вычитатель из двух полувычитателей. Проверить работу по таблице истинности полного вычитателя табл.4. Таблица истинности полного вычитателя.

****

1. Собрать и исследовать четырёхразрядный вычитатель параллельного действия из подготовленных в п.3.5. субблоков полных вычитателей. Организовать последовательную цепь распространения заёма между разрядами. Проверку осуществить для двоичных значений a>b для отображения разности в прямом коде.

****

1. Собрать и исследовать трёхразрядную схему инкрементора из библиотечных полусумматоров (рис. 4.1). Организовать цепь последовательного переноса, используя вход «b» полусумматора.

****

1. Собрать схему универсального сумматора-вычитателя и исследовать его работу в режимах сложения и вычитания. Объяснить назначение логических элементов "исключающее ИЛИ" схеме универсального сумматора-вычитателя в режиме подачи изменяющегося кода на вторые входы данных элементов при смене режима работы универсального устройства.

